

J1033 U.S. PTO
09/879556
06/12/01

#4 Priority
Paper
10-3-01
Rtdk

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

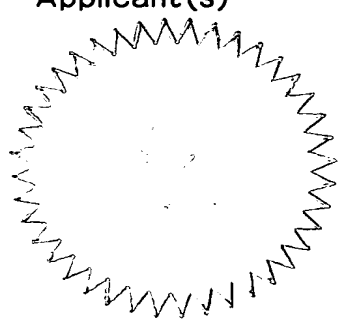
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 64557 호
Application Number

출원년월일 : 2000년 11월 01일
Date of Application

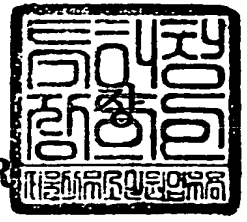
출원인 : 삼성전자 주식회사
Applicant(s)



2000 년 11 월 24 일

특 허 청

COMMISSIONER



| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0001 |
| 【제출일자】 | 2000.11.01 |
| 【국제특허분류】 | H01L |
| 【발명의 명칭】 | 반도체 소자의 금속 배선 및 그 제조방법 |
| 【발명의 영문명칭】 | Metal layer of semiconductor device and manufacturing method thereof |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 1999-009556-9 |
| 【대리인】 | |
| 【성명】 | 정상빈 |
| 【대리인코드】 | 9-1998-000541-1 |
| 【포괄위임등록번호】 | 1999-009617-5 |
| 【대리인】 | |
| 【성명】 | 이래호 |
| 【대리인코드】 | 9-1999-000226-8 |
| 【포괄위임등록번호】 | 2000-002818-3 |
| 【발명자】 | |
| 【성명의 국문표기】 | 안종현 |
| 【성명의 영문표기】 | AHN, Jong Hyon |
| 【주민등록번호】 | 631022-1068121 |
| 【우편번호】 | 442-373 |
| 【주소】 | 경기도 수원시 팔달구 매탄3동 990번지 주공2차아파트 13동 401호 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인) 대리인

이래호 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 22 면 22,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 42 항 1,453,000 원

【합계】 1,504,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 금속 배선 및 그 제조방법에 관한 것이다. 본 발명은 금속 배선 하부의 폭이 금속 배선 상부의 폭보다 큰 반도체 소자의 금속 배선 및 그 제조방법을 제공한다. 또한 본 발명은 금속 배선 중간부의 폭이 금속 배선 상부 및 하부의 폭보다 큰 반도체 소자의 금속 배선 및 그 제조방법을 제공한다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

반도체 소자의 금속 배선 및 그 제조방법{Metal layer of semiconductor device and manufacturing method thereof}

【도면의 간단한 설명】

도 1 및 도 2는 종래의 다마신 공정을 이용한 금속 배선 구조를 도시한 단면도들이다.

도 3은 종래의 금속 배선 구조에 있어서, 금속 배선이 리프팅된 모습을 보여주는 사시도이다.

도 4 내지 도 7은 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속 배선을 도시한 단면도들이다.

도 8a 내지 도 8d는 본 발명의 바람직한 일 실시예에 따른 반도체 소자의 금속 배선 제조방법을 공정 순서에 따라 도시한 단면도들이다.

도 9a 내지 도 9d는 본 발명의 바람직한 다른 실시예에 따른 반도체 소자의 금속 배선 제조방법을 도시한 단면도들이다.

도 10a 내지 도 10d는 본 발명의 바람직한 또 다른 실시예에 따른 반도체 소자의 금속 배선 제조방법을 도시한 단면도들이다.

도 11a 내지 도 11d는 본 발명의 바람직한 또 다른 실시예에 따른 반도체 소자의 금속 배선 제조방법을 도시한 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 더욱 상세하게는 반도체 소자의 금속 배선 및 그 제조방법에 관한 것이다.
- <9> 반도체 집적회로 기술은 고집적화와 칩 구동 속도를 높이기 위하여 꾸준히 발전되고 있다. 고집적화를 달성하기 위하여 디자인룰 감소에 의한 칩 크기를 줄이고 있다. 그리고 반도체 칩 구동 속도를 높이기 위하여 트랜지스터의 고성능화가 필요하며, 트랜지스터의 기생 저항과 기생 커패시턴스를 줄이는 방법이 사용되고 있다.
- <10> 반도체 배선 기술에 있어서, 고성능 트랜지스터를 반도체 칩 외부와 연결시킬 때 최소한의 저항과 기생 커패시턴스를 가지도록 하여 반도체 소자의 RC값(저항과 커패시턴스의 곱)을 줄여주는 것이 중요하다. 구리(Cu)는 알루미늄(Al)과 대비하여 비저항(Al은 $2.7\mu\Omega\text{-cm}$ 이고, Cu는 $1.8\mu\Omega\text{-cm}$ 임)이 낮다. 따라서 구리 배선층은 저항이 낮아 금속 두께를 낮출 수 있는 잇점이 있다. 그러므로 반도체 배선 기술 중 구리를 이용한 배선 공정은 반도체 디자인룰이 $0.18\mu\text{m}$ 이하로 가면서 배선 저항 및 기생 커패시턴스를 줄이기 위하여 급속하게 사용되고 있다.
- <11> 도 1 및 도 2는 종래의 다마신 공정을 이용한 금속 배선 구조를 도시한 단면도들이다.
- <12> 도 1 및 도 2를 참조하면, 구리(Cu)를 도전막으로 사용하는 금속 배선 공정으로, 층간절연막(12)을 트렌치하여 베리어막(16)과 도전막(18)을 증착한 후, 화학 기계적 연

마(Chemical Mechanical Polishing)를 하는 다마신(Damascene) 공정을 이용하고 있다. 종래의 다마신 공정을 이용한 금속 배선은 후속 열처리와 층간절연막 사이의 스트레스(stress)에 의하여 트렌치 내부에서 리프팅(lifting)될 수 있다. 특히 트렌치 상부의 폭이 하부의 폭보다 넓은 역사다리꼴 구조(도 2 참조)의 단면을 갖는 금속 배선에서는 리프팅 현상이 더욱 심하게 나타날 수 있다. 금속 배선이 트렌치 내부에서 리프팅되면, 비아(Via)와 금속 배선간에 접촉되지 않고, 오픈(open)이 발생하여 반도체 칩 동작이 불가능하게 되는 문제가 발생할 수 있다.

- <13> 도 3은 종래의 금속 배선 구조에 있어서, 금속 배선이 트렌치 내부에서 리프팅된 모습을 보여주는 사시도이다. 여기서, 트렌치각(θ)이 작아질수록, 즉 상부의 폭이 클수록 리프팅의 가능성은 증가하게 된다.

【발명이 이루고자 하는 기술적 과제】

- <14> 본 발명이 이루고자 하는 기술적 과제는 금속 배선의 리프팅을 방지할 수 있는 반도체 소자의 금속 배선을 제공함에 있다.
- <15> 본 발명이 이루고자 하는 다른 기술적 과제는 금속 배선의 리프팅을 방지할 수 있는 반도체 소자의 금속 배선 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

- <16> 상기 기술적 과제를 달성하기 위하여 본 발명은, 금속 배선 하부의 폭이 금속 배선 상부의 폭보다 큰 것을 특징으로 하는 반도체 소자의 금속 배선을 제공한다.
- <17> 상기 금속 배선은, 반도체 기판 상에 하부의 폭이 상부의 폭보다 크게 트렌치된 층간절연막의 내부에 단차를 따라 형성된 베리어막 및 상기 베리어막에 의하여 둘러싸여

있으며, 트렌치된 상기 층간절연막에 매립되어 하부의 폭이 상부의 폭보다 크게 형성된 도전막을 포함한다.

<18> 상기 층간절연막은 한 층의 절연막으로 형성되어 있는 막이고, USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어진 막일 수 있다. 상기 층간절연막 상부의 높이는 상기 층간절연막의 전체 높이의 20 내지 70%인 것이 바람직하다.

<19> 상기 층간절연막은 두 층의 제1 및 제2 절연막이 순차적으로 형성되어 있는 막이고, 트렌치된 제1 절연막의 폭이 트렌치된 제2 절연막의 폭보다 크게 형성되어 있는 막일 수 있다. 상기 제2 절연막의 높이는 상기 제1 및 제2 절연막의 전체 높이의 20 내지 70%인 것이 바람직하다. 상기 제2 절연막은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어진 막이고, 상기 제1 절연막은 상기 제2 절연막보다 식각비가 큰 유동성 산화막 또는 HOSP막으로 이루어진 막일 수 있다.

<20> 또한, 상기 기술적 과제를 달성하기 위하여, 본 발명은 금속 배선 중간부의 폭이 금속 배선 하부 및 상부의 폭보다 큰 것을 특징으로 하는 반도체 소자의 금속 배선을 제공한다.

<21> 상기 금속 배선은, 반도체 기판 상에 중간부의 폭이 상부 및 하부의 폭보다 크게 트렌치된 층간절연막의 내부에 단차를 따라 형성된 베리어막 및 상기 베리어막에 의하여 둘러싸여 있으며, 트렌치된 상기 층간절연막에 매립되어 중간부의 폭이 상부 및 하부의 폭보다 크게 형성된 도전막을 포함한다.

<22> 상기 층간절연막은 한 층의 절연막으로 형성되어 있는 막이고, USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어진 막일 수 있다. 상기 층간절연막의 중간부의 높

이는 상기 층간절연막의 전체 높이의 20 내지 50%인 것이 바람직하다.

<23> 상기 층간절연막은 세 층의 제1, 제2 및 제3 절연막이 순차적으로 형성되어 있는 막이고, 트렌치된 중간부의 제2 절연막의 폭이 트렌치된 상부의 제3 절연막 및 트렌치된 하부의 제1 절연막의 폭보다 크게 형성되어 있는 막일 수 있다. 상기 제2 절연막의 높이는 상기 제1, 제2 및 제3 절연막의 전체 높이의 20 내지 50%인 것이 바람직하다. 상기 제1 및 제3 절연막은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어진 막이고, 상기 제2 절연막은 상기 제1 및 제3 절연막보다 식각비가 큰 유동성 산화막 또는 HOSP막으로 이루어진 막일 수 있다.

<24> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 반도체 기판 상에 층간절연막을 형성하는 단계와, 상기 층간절연막 상에 금속 배선 영역을 정의하는 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 마스크로 하여 상기 층간절연막의 일부를 식각하여 얇은 트렌치를 형성하면서, 상기 얇은 트렌치 측벽에 식각에 대한 마스크 역할을 하는 폴리머를 형성하는 단계와, 상기 포토레지스트 패턴 및 얇은 트렌치 측벽에 형성된 폴리머를 마스크로 하여 나머지 층간절연막을 식각하여 식각된 상기 층간절연막 하부의 폭이 식각된 상기 층간절연막 상부의 폭보다 큰 트렌치를 형성하는 단계와, 상기 포토레지스트 패턴을 제거하는 단계와, 상기 결과물 전면에서 단차를 따라 베리어막을 형성하는 단계와, 상기 베리어막이 형성된 결과물 전면에서 도전막을 증착하는 단계 및 상기 도전막이 증착된 결과물을 화학 기계적 연마하여 상기 층간절연막의 트렌치 내부에만 도전막이 채워지도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법을 제공한다.

<25> 또한 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 반도체 기판 상에 제1

충간절연막을 형성하는 단계와, 상기 제1 충간절연막 상에 상기 제1 충간절연막에 비하여 식각비가 작은 제2 충간절연막을 형성하는 단계와, 상기 제2 충간절연막 상에 금속 배선 영역을 정의하는 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 마스크로 하여 상기 제2 충간절연막 및 상기 제1 충간절연막을 순차적으로 식각하여, 식각된 상기 제1 충간절연막의 폭이 식각된 제2 충간절연막의 폭보다 큰 트렌치를 형성하는 단계와, 상기 포토레지스트 패턴을 제거하는 단계와, 상기 결과물 전면에 단차를 따라 베리어막을 형성하는 단계와, 상기 베리어막이 형성된 결과물 전면에 도전막을 증착하는 단계 및 상기 도전막이 증착된 결과물을 화학 기계적 연마하여 상기 제1 및 제2 충간절연막의 트렌치 내부에만 도전막이 채워지도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법을 제공한다.

<26> 또한 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 반도체 기판 상에 충간절연막을 형성하는 단계와, 상기 충간절연막 상에 금속 배선 영역을 정의하는 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 마스크로 하여 상기 충간절연막의 상부를 식각하여 제1 트렌치를 형성하면서, 상기 제1 트렌치 측벽에 식각에 대한 마스킹 역할을 하는 폴리머를 형성하는 단계와, 상기 포토레지스트 패턴 및 제1 트렌치 측벽에 형성된 폴리머를 마스크로 하여 상기 충간절연막의 중간부를 식각하여, 식각된 상기 충간절연막 중간부의 폭이 식각된 상기 충간절연막 상부의 폭보다 큰 제2 트렌치를 형성하는 단계와, 식각된 상기 충간절연막 중간부의 하단부에 식각에 대한 마스킹 역할을 하는 폴리머를 형성하는 단계와, 상기 포토레지스트 패턴 및 상기 충간절연막의 상부와 중간부의 하단부에 형성된 상기 폴리머들을 마스크로 하여 나머지 충간절연막의 하부를 식각하여, 식각된 상기 충간절연막 하부의 폭이 식각된 상기 충간절연막 중간부의 폭

보다 작은 제3 트렌치를 형성하는 단계와, 상기 포토레지스트 패턴을 제거하는 단계와, 상기 결과물 전면에서 단차를 따라 베리어막을 형성하는 단계와, 상기 베리어막이 형성된 결과물 전면에서 도전막을 증착하는 단계 및 상기 도전막이 증착된 결과물을 화학 기계적 연마하여 상기 층간절연막의 트렌치 내부에만 도전막이 채워지도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법을 제공한다.

<27> 또한, 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 반도체 기판 상에 제1 층간절연막을 형성하는 단계와, 상기 제1 층간절연막 상에 상기 제1 층간절연막에 비하여 식각비가 큰 제2 층간절연막을 형성하는 단계와, 상기 제2 층간절연막 상에 상기 제2 층간절연막에 비하여 식각비가 작은 제3 층간절연막을 형성하는 단계와, 상기 제3 층간절연막 상에 금속 배선 영역을 정의하는 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 마스크로 하여 상기 제3 층간절연막, 제2 층간절연막 및 제1 층간절연막을 순차적으로 식각하여, 식각된 상기 제2 층간절연막의 폭이 식각된 상기 제1 및 제3 층간절연막의 폭보다 큰 트렌치를 형성하는 단계와, 상기 포토레지스트 패턴을 제거하는 단계와, 상기 결과물 전면에서 단차를 따라 베리어막을 형성하는 단계와, 상기 베리어막이 형성된 결과물 전면에서 도전막을 증착하는 단계 및 상기 도전막이 증착된 결과물을 화학 기계적 연마하여 상기 제1, 제2 및 제3 층간절연막의 트렌치 내부에만 도전막이 채워지도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법을 제공한다.

<28> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야의 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 본 발명의 범위를 한정하는 것으로 해석되어

져서는 아니된다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 게재될 수도 있다. 또한 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면 상에서 동일 부호는 동일한 요소를 지칭한다.

<29> 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속 배선은 금속 배선 하부의 폭이 금속 배선 상부의 폭보다 크거나, 또는 금속 배선 중간부의 폭이 금속 배선 상부 및 하부의 폭보다 큰 구조를 갖는다. 도 1 및 도 2에 도시된 바와 같이 종래의 다마신 공정을 이용하여 형성한 금속 배선은 후속 열처리와 층간절연막 사이의 스트레스에 의하여 리프팅되는 현상이 발생할 수 있으나, 본 발명의 바람직한 실시예에 따른 금속 배선은 상기와 같은 금속 배선이 리프팅되는 문제를 방지할 수 있다.

<30> 도 4 내지 도 7은 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속 배선 구조를 도시한 단면도들이다.

<31> <실시예 1>

<32> 도 4는 본 발명의 바람직한 일 실시예에 따른 반도체 소자의 금속 배선 구조를 도시한 단면도이다.

<33> 도 4를 참조하면, 본 발명의 바람직한 일 실시예에 따른 금속 배선은 반도체 기판(100) 상에 하부의 폭(T_2)이 상부의 폭(T_1)보다 크게 트렌치된 층간절연막(102b)의 내부에 단차를 따라 형성된 베리어막(108a) 및 베리어막(110a)에 의하여 둘러싸여 있으며, 트렌치된 층간절연막(102b)에 매립되어 하부의 폭이 상부의 폭보다 크게 형성된 도전막(110a)을 포함하는 구조를 갖는다. 층간절연막(102b) 상부의 높이는 층간절연막(102b)의

전체 높이의 20 내지 70% 정도인 것이 바람직하다. 층간절연막(102b)은 한 층의 절연막으로 형성되어 있는 막이고, USG(Undoped Silicate Glass)막, SiOF(Silicon Oxide Fluoride)막, TEOS(Tetra Ethyl Ortho Silicate)막, SOG(Spin On Glass)막 또는 BPSG(Boro Phosphorus Silicate Glass)막으로 이루어진 막일 수 있다. 반도체 기판(100)은 소정의 하부막 상에 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막과 같은 절연막과 실리콘 질화막이 순차적으로 형성되어 있는 기판일 수 있다. 베리어막(108a)은 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 이루어진 막이고, 도전막(110a)은 구리 또는 텅스텐으로 이루어진 막일 수 있다.

<34> · <실시예 2>

<35> 도 5는 본 발명의 바람직한 다른 실시예에 따른 반도체 소자의 금속 배선 구조를 도시한 단면도이다.

<36> 도 5를 참조하면, 본 발명의 바람직한 다른 실시예에 따른 금속 배선은 반도체 기판(200) 상에 하부의 폭(T_4)이 상부의 폭(T_3)보다 크게 트렌치된 층간절연막(203)의 내부에 단차를 따라 형성된 베리어막(206a) 및 베리어막(206a)에 의하여 둘러싸여 있으며, 트렌치된 층간절연막(203)에 매립되어 하부의 폭이 상부의 폭보다 크게 형성된 도전막(208a)을 포함하는 구조를 갖는다. 층간절연막(203)은 두 층의 제1 절연막(201a) 및 제2 절연막(202a)이 순차적으로 형성되어 있는 막이고, 트렌치된 제1 절연막(201a)의 폭(T_4)이 트렌치된 제2 절연막(202a)의 폭(T_3)보다 크게 형성되어 있는 막이다. 제2 절연막(202a)의 높이는 제1 절연막(201a) 및 제2 절연막(202a)의 전체 높이의 20 내지 70% 정도인 것이 바람직하다. 제1 절연막(201a)은 제2 절연막(202a)에 비하여 식각비가 크고, 저유전율을 갖는 유동성 산화막(Flowable Oxide, 이하 'FOX막'이라 함) 또는

HOSP(Hydride Organic Siloxane Polymer)막으로 이루어진 막이고, 제2 절연막(202a)은 제1 층간절연막에 비하여 식각비가 작은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어진 막일 수 있다. 여기서, 반도체 기판(200), 베리어막(206a), 도전막(208a)의 구성은 상기 제1 실시예의 경우와 동일하다.

<37> <실시예 3>

<38> 도 6은 본 발명의 바람직한 또 다른 실시예에 따른 반도체 소자의 금속 배선 구조를 도시한 단면도이다.

<39> 도 6을 참조하면, 본 발명의 바람직한 또 다른 실시예에 따른 금속 배선은 반도체 기판(300) 상에 중간부의 폭(T_6)이 상부 및 하부의 폭(T_5 , T_7)보다 크게 트렌치된 층간절연막(302b)의 내부에 단차를 따라 형성된 베리어막(306a) 및 베리어막(306a)에 의하여 둘러싸여 있으며, 트렌치된 층간절연막(302b)에 매립되어 중간부의 폭이 상부 및 하부의 폭보다 크게 형성된 도전막을 포함하는 구조를 갖는다. 층간절연막(302b)의 중간부의 높이는 층간절연막(302b)의 전체 높이의 20 내지 50% 정도인 것이 바람직하다. 층간절연막(302b)은 한 층의 절연막으로 형성되어 있는 막이고, USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어진 막일 수 있다. 반도체 기판(300)은 소정의 하부막 상에 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막과 같은 절연막과 실리콘 질화막이 순차적으로 형성되어 있는 기판일 수 있다. 베리어막(306a)은 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 이루어진 막이고, 도전막(308a)은 구리 또는 텅스텐으로 이루어진 막일 수 있다.

<40> <실시예 4>

<41> 도 7은 본 발명의 바람직한 또 다른 실시예에 따른 반도체 소자의 금속 배선 구조를 도시한 단면도이다.

<42> 도 7을 참조하면, 본 발명의 바람직한 또 다른 실시예에 따른 금속 배선은 반도체 기판(400) 상에 중간부의 폭(T_9)이 상부 및 하부의 폭(T_8 , T_{10})보다 크게 트렌치된 층간 절연막(403')의 내부에 단차를 따라 형성된 베리어막(406a) 및 베리어막(406a)에 의하여 둘러싸여 있으며, 트렌치된 층간절연막(403')에 매립되어 중간부의 폭이 상부 및 하부의 폭보다 크게 형성된 도전막을 포함하는 구조를 갖는다. 층간절연막(403')은 세 층의 제1 절연막(401a), 제2 절연막(402a) 및 제3 절연막(403a)이 순차적으로 형성되어 있는 막이고, 트렌치된 중간부의 제2 절연막(402a)의 폭(T_9)이 트렌치된 상부의 제3 절연막(403a) 및 트렌치된 하부의 제1 절연막(401a)의 폭(T_8 , T_{10})보다 크게 형성되어 있는 막이다. 제2 절연막(402a)의 높이는 제1 절연막(401a), 제2 절연막(402a) 및 제3 절연막(403a)의 전체 높이의 20 내지 50% 정도인 것이 바람직하다. 제1 절연막(401a)은 제2 절연막(402a)에 비하여 식각비가 작은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어진 막이고, 제2 절연막(402a)은 제1 절연막(401a)에 비하여 식각비가 크고, 저유전율을 갖는 FOX막 또는 HOSP막으로 이루어진 막이며, 제3 절연막(403a)은 제2 절연막(402a)에 비하여 식각비가 작은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어진 막일 수 있다. 여기서, 반도체 기판(400), 베리어막(406a), 도전막(408a)의 구성은 상기 제3 실시예의 경우와 동일하다.

<43> 이하에서는, 본 발명의 바람직한 실시예에 따른 반도체의 금속 배선 제조방법을 설명하기로 한다.

<44> <실시예 1>

- <45> 도 8a 내지 도 8d는 본 발명의 바람직한 일 실시예에 따른 반도체 소자의 금속 배선 제조방법을 공정 순서에 따라 도시한 단면도들이다.
- <46> 도 8a를 참조하면, 반도체 기판(100) 상에 층간절연막(102)을 형성한다. 층간절연막(102)은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 형성하는 것이 바람직하다. 반도체 기판(100)은 소정의 하부막 상에 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막과 같은 절연막과 실리콘 질화막이 순차적으로 형성되어 있는 기판일 수 있다.
- <47> 도 8b를 참조하면, 층간절연막(102) 상에 포토리소그래피 공정을 이용하여 포토레지스트 패턴(104)을 형성한다. 포토레지스트 패턴(104)을 마스크로 하여 층간절연막(102)의 일부를 식각하여 얇은 트렌치(106)를 형성하면서, 얇은 트렌치(106) 측벽에 식각에 대한 마스크 역할을 하는 폴리머(105)를 형성한다. 얇은 트렌치(106)의 높이는 층간절연막(102)의 전체 높이의 20 내지 70% 정도가 되게 형성하는 것이 바람직하다. 일반적인 식각 가스는 CHF_3 , CF_4 , C_4F_8 또는 C_3F_8 와 같은 C-F계 가스와 Ar, He 또는 Ne과 같은 불활성 가스를 주로 사용한다. 수소를 함유하지 않는 C-F계 가스는 폴리머의 형성이 억제되나, 수소를 함유하는 C-F계 가스, 예컨대 CHF_3 가스는 많은 폴리머를 형성시킨다. 따라서 본 실시예에서는 수소를 함유하는 C-F계 가스를 식각 가스로 사용하여 얇은 트렌치(106) 측벽에 폴리머(105)를 형성시키게 되며, 이는 후속의 식각 공정에서 식각에 대한 마스크 역할을 할 수가 있는 것이다.
- <48> 도 8c를 참조하면, 포토레지스트 패턴(104) 및 얇은 트렌치(106) 측벽에 형성된 폴리머(105)를 마스크로 하여 나머지 층간절연막(102a)을 식각하여, 식각된 층간절연막(102b) 하부의 폭(T_2)이 식각된 층간절연막(102b) 상부의 폭(T_1)보다 큰 트렌치(107)를 형성한다. 하부의 층간절연막 식각 시에는 얇은 트렌치(106)를 형성할 경우보다 낮은 바

이어스 파워를 가하여 식각한다. 이때 충전절연막과 기판 사이의 계면에서 식각 입자의 불규칙한 반사가 일어나게 되므로 하부 충전절연막의 측방향에 대하여도 식각이 발생하여 식각된 충전절연막(102b) 하부의 폭(T₂)이 식각된 충전절연막(102b) 상부의 폭(T₁)보다 큰 트렌치(107)를 형성할 수 있다. 이 경우, 상기 얇은 트렌치(106) 측벽에 형성된 폴리머(105)는 식각에 대한 마스킹 역할을 하게 되므로, 충전절연막 상부는 더 이상 식각이 진행되지 않게 되고, 하부의 충전절연막만 식각이 계속 진행되게 된다. 하부의 충전절연막 식각시에는 폴리머 형성을 억제하면서 식각하여야 하므로, 상술한 바와 같이 수소를 함유하지 않는 C-F계 가스와 불활성 가스를 사용한다. 또한 폴리머 형성을 방지하는 가스로는 산소(O₂)와 질소(N₂)가 있는데, 이 가스를 식각시 수소를 함유하지 않는 C-F계 가스와 불활성 가스에 섞어서 사용하여 식각시 폴리머 형성을 방지할 수 있다. 폴리머 형성을 방지시켜 주는 능력은 질소보다는 산소가 상대적으로 크다. 예를 들면 1sccm의 산소가 15sccm의 질소와 같은 효과를 나타낸다. 대체로 폴리머를 형성시키지 않을 정도의 산소 가스의 투입량은 C-F계 가스의 약 50 내지 75 중량% 정도이다. 산소는 CO 또는 CO₂를 형성하면서 폴리머를 제거하고, 질소는 CN(cyanide gas)을 형성하면서 폴리머를 제거하게 된다. 결국 식각된 하부의 충전절연막(102b)의 폭(T₂)이 상부의 충전절연막(102b)의 폭(T₁)보다 넓게 형성된 트렌치(107) 구조를 형성할 수가 있다.

<49> 도 8d를 참조하면, 상기 포토레지스트 패턴(104)을 통상의 제거방법, 예컨대 애싱(ashing) 공정을 사용하여 제거하고, 상기 결과물 전면에서 단차를 따라 베리어막(108)을 형성한다. 베리어막(108)은 금속의 확산을 방지하고, 충전절연막과 도전막 사이의 접착층으로 작용할 수 있는 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 이루어지는 것이 바람직하다. 이어서, 베리어막(108)이 형성된 결과물 전면에서 도전막(110)을 증착한

다. 도전막(110)은 구리(Cu) 또는 텅스텐(W)으로 이루지고, 전기도금법, 화학 기상 증착법, 스퍼터링법 또는 이들을 조합한 방법을 사용하여 증착하는 것이 바람직하다.

예컨대, 도전막(110)을 베리어막(108)이 형성된 결과물 전면에서 1차적으로 스퍼터링법을 사용하여 증착하고, 2차적으로 전기도금법을 사용하여 증착할 수 있다.

<50> 이어서, 도전막(108)이 증착된 결과물을 화학 기계적 연마하여 층간절연막(102b)의 트렌치 내부에만 도전막(108)이 채워지도록 하여 도 4에 도시된 바와 같은 금속 배선을 형성한다.

<51> <실시예 2>

<52> 도 9a 내지 도 9d는 본 발명의 바람직한 다른 실시예에 따른 반도체 소자의 금속 배선 제조방법을 도시한 단면도들이다.

<53> 도 9a를 참조하면, 반도체 기판(200) 상에 제1 층간절연막(201)과 제2 층간절연막(202)을 순차적으로 형성한다. 제1 층간절연막(201)은 제2 층간절연막(202)에 비하여 식각비가 크고, 저유전율을 갖는 FOX막 또는 HOSP막으로 형성하는 것이 바람직하다. 제2 층간절연막(202)은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 형성하는 것이 바람직하다. 제2 층간절연막(201)의 높이는 제1 층간절연막(201) 및 제2 층간절연막(202)의 전체 높이의 20 내지 70% 정도가 되게 형성하는 것이 바람직하다. 제1 층간절연막(201)으로 사용되는 FOX막 또는 HOSP막 같은 물질은 제2 층간절연막(202)으로 사용되는 USG막, SOG막 등에 비하여 유전율이 낮기 때문에 반도체 소자의 기생 커패시턴스를 줄여 줄 수 있다. 반도체 기판(200)은 소정의 하부막 상에 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막과 같은 절연막과 실리콘 질화막이 순차적으로 형성되어 있는 기판일 수 있다.

- <54> 도 9b를 참조하면, 제2 층간절연막(202) 상에 포토리소그래피 공정을 이용하여 금속 배선 영역을 정의하는 포토레지스트 패턴(204)을 형성한다.
- <55> 도 9c를 참조하면, 포토레지스트 패턴(204)을 마스크로 하여 제2 층간절연막(202) 및 제1 층간절연막(201)을 순차적으로 식각하여, 식각된 제1 층간절연막(201)의 폭(T_4)이 식각된 제2 층간절연막(202)의 폭(T_3)보다 큰 트렌치를 형성한다. 제1 층간절연막(201)은 제2 층간절연막(202)에 비하여 식각비가 크기 때문에, 제1 층간절연막(202)이 식각되어 트렌치되는 폭(T_4)은 제2 층간절연막(201)이 식각되어 트렌치되는 폭(T_3)보다 넓은 트렌치 구조가 형성된다.
- <56> 도 9d를 참조하면, 포토레지스트 패턴(204)을 통상의 제거방법, 예컨대 애싱(ashing) 공정을 사용하여 제거하고, 상기 결과물 전면에서 단차를 따라 베리어막(206)을 형성한다. 베리어막(206)은 금속의 확산을 방지하고, 층간절연막과 도전막 사이의 접촉층으로 작용할 수 있는 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 이루어지는 것이 바람직하다. 이어서, 베리어막(206)이 형성된 결과물 전면에서 도전막(208)을 증착한다. 도전막(208)은 구리(Cu) 또는 텅스텐(W)으로 이루지고, 전기도금법, 화학 기상 증착법, 스퍼터링법 또는 이들을 조합한 방법을 사용하여 증착하는 것이 바람직하다. 예컨대, 도전막(208)을 베리어막(206)이 형성된 결과물 전면에서 1차적으로 스퍼터링법을 사용하여 증착하고, 2차적으로 전기도금법을 사용하여 증착할 수 있다.
- <57> 이어서, 도전막(208)이 증착된 결과물을 화학 기계적 연마하여 층간절연막(201a, 202a)의 트렌치 내부에만 도전막(208)이 채워지도록 하여 도 5에 도시된 바와 같은 금속 배선을 형성한다.

<58> <실시예 3>

<59> 도 10a 내지 도 10d는 본 발명의 바람직한 또 다른 실시예에 따른 반도체 소자의 금속 배선 제조방법을 도시한 단면도들이다.

<60> 도 10a를 참조하면, 반도체 기판(300) 상에 층간절연막(302)을 형성한다. 층간절연막(302)은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 형성하는 것이 바람직하다. 반도체 기판(300)은 소정의 하부막 상에 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막과 같은 절연막과 실리콘 질화막이 순차적으로 형성되어 있는 기판일 수 있다.

<61> 도 10b를 참조하면, 층간절연막(302) 상에 포토리소그래피 공정을 이용하여 금속 배선 영역을 정의하는 포토레지스트 패턴(304)을 형성한다. 포토레지스트 패턴(304)을 마스크로 하여 층간절연막(302)의 상부를 식각하여 제1 트렌치(306)를 형성하면서, 제1 트렌치(306) 측벽에 식각에 대한 마스크 역할을 하는 폴리머(305')를 형성한다. 일반적으로 식각 가스는 CHF₃, CF₄, C₄F₈ 또는 C₃F₈와 같은 C-F계 가스와 Ar, He 또는 Ne과 같은 불활성 가스를 사용한다. 수소를 함유하지 않는 C-F계 가스는 폴리머의 형성이 억제되나, 수소를 함유하는 C-F계 가스, 예컨대 CHF₃ 가스는 많은 폴리머를 형성시킨다. 따라서 본 실시예에서는 수소를 함유하는 C-F계 가스를 식각 가스로 사용하여 제1 트렌치(306) 측벽에 폴리머(305')를 형성시키게 되며, 이는 후속의 식각 공정에서 식각에 대한 마스크 역할을 할 수가 있는 것이다.

<62> 도 10c를 참조하면, 포토레지스트 패턴(304) 및 층간절연막(302a) 상부 측벽에 형성된 폴리머(305')를 마스크로 하여 층간절연막(302a)의 중간부를 식각하여, 식각된 층간절연막 중간부의 폭(T₆)이 식각된 층간절연막 상부의 폭(T₅)보다 큰 제2 트렌치를 형

성한다. 층간절연막(302a) 상부 측벽에 형성된 폴리머(305')는 식각에 대한 마스크 역할을 하게 되므로, 층간절연막 상부는 더 이상은 식각이 진행되지 않게 되고, 층간절연막의 중간부만 식각이 계속 진행되게 된다. 이때, 층간절연막 중간부의 하단부에 이르면, 수소를 함유하는 C-F계 가스, 예컨대 CHF_3 가스를 사용하여 층간절연막 중간부의 하단부에 식각에 대한 마스크 역할을 하는 폴리머(305')를 형성한다. 결국 식각된 층간절연막 중간부의 하단부에 식각에 대한 마스크 역할을 하는 폴리머(305')가 형성되어 있고, 식각된 중간부의 층간절연막의 폭(T_6)이 식각된 층간절연막 상부의 폭(T_5)보다 넓게 형성된 트렌치 구조를 형성할 수가 있다. 다음, 상기 포토레지스트 패턴(304) 및 상기 층간절연막의 상부와 중간부의 하단부에 형성된 상기 폴리머들(305', 305')을 마스크로 하여 나머지 층간절연막의 하부를 식각하여, 식각된 층간절연막 하부의 폭(T_7)이 식각된 층간절연막 중간부의 폭(T_6)보다 작은 제3 트렌치(307)를 형성한다. 층간절연막의 상부와 중간부의 하단부에 형성된 폴리머(305', 305')들은 식각에 대한 마스크 역할을 하게 되므로, 층간절연막(302b)의 상부와 중간부의 하단부는 더 이상은 식각이 진행되지 않게 되고, 나머지 층간절연막의 하부만 식각되게 된다. 층간절연막(302b)의 중간부의 높이는 층간절연막(302b)의 전체 높이의 20 내지 50% 정도가 되게 형성하는 것이 바람직하다. 폴리머를 억제시키면서 식각하는 방법은 제1 실시예에서 상술한 바와 같다.

<63> 도 10d를 참조하면, 포토레지스트 패턴(304)을 통상의 제거방법, 예컨대 애싱(ashing) 공정을 사용하여 제거하고, 상기 결과물 전면에서 단차를 따라 베리어막(308)을 형성한다. 베리어막(308)은 금속의 확산을 방지하고, 층간절연막과 도전막 사이의 접촉층으로 작용할 수 있는 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 이루어지는 것이 바람직하다. 이어서, 베리어막(308)이 형성된 결과물 전면에서 도전막(310)을

증착한다. 도전막(310)은 구리(Cu) 또는 텅스텐(W)으로 이루지고, 전기도금법, 화학 기상 증착법, 스퍼터링법 또는 이들을 조합한 방법을 사용하여 증착하는 것이 바람직하다. 예컨대, 도전막(310)을 베리어막(308)이 형성된 결과물 전면에서 1차적으로 스퍼터링법을 사용하여 증착하고, 2차적으로 전기도금법을 사용하여 증착할 수 있다.

<64> 이어서, 도전막(310)이 증착된 결과물을 화학 기계적 연마하여 상기 층간절연막(302b)의 트렌치 내부에만 도전막(310)이 채워지도록 하여 도 6에 도시된 바와 같은 금속 배선을 형성한다.

<65> <실시예 4>

<66> 도 11a 내지 도 11d는 본 발명의 바람직한 또 다른 실시예에 따른 반도체 소자의 금속 배선 제조방법을 도시한 단면도들이다.

<67> 도 11a를 참조하면, 반도체 기판(400) 상에 제1 층간절연막(401)과 제2 층간절연막을 순차적으로 형성한다. 제1 층간절연막(401)은 제2 층간절연막(402)에 비하여 식각비가 작은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 형성하는 것이 바람직하다. 제2 층간절연막(402)은 FOX막 또는 HOSP막으로 형성하는 것이 바람직하며, 제1 층간절연막(401)에 비하여 식각비가 크고, 저유전을 갖는 물질을 사용하여 형성한다. 제2 층간절연막(402)으로 사용되는 FOX막 또는 HOSP막 같은 물질은 제1 절연막으로 사용되는 USG막, SOG막 등에 비하여 유전율이 낮기 때문에 반도체 소자의 기생 커패시턴스를 줄여 줄 수 있다. 제2 층간절연막(402) 상에 제2 층간절연막(402)에 비하여 식각비가 작은 제3 층간절연막(403)을 형성한다. 제3 층간절연막(403)은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 형성하는 것이 바람직하다. 제2 층간절연막(402)이 높이는 제1 층간절연막

(401), 제2 층간절연막(402) 및 제3 층간절연막(403)의 전체 높이의 20 내지 50% 정도가 되게 형성하는 것이 바람직하다. 반도체 기판(400)은 소정의 하부막 상에 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막과 같은 절연막과 실리콘 질화막이 순차적으로 형성되어 있는 기판일 수 있다.

<68> 도 11b를 참조하면, 제3 층간절연막(403) 상에 포토리소래피 공정을 이용하여 금속 배선 영역을 정의하는 포토레지스트 패턴(404)을 형성한다.

<69> 도 11c를 참조하면, 포토레지스트 패턴(404)을 마스크로 하여 제3 층간절연막(403), 제2 층간절연막(402) 및 제1 층간절연막(401)을 순차적으로 식각하여, 식각된 제2 층간절연막(402a)의 폭(T_9)이 식각된 제1 층간절연막(401a) 및 제3 층간절연막(403a)의 폭(T_{10} , T_8)보다 큰 트렌치를 형성한다. 이는 제2 층간절연막(402)은 제1 층간절연막(401) 및 제3 층간절연막(403)에 비하여 식각비가 크기 때문에, 제2 층간절연막(402)의 식각되는 폭(T_9)은 제1 층간절연막(401) 및 제3 층간절연막(403)의 식각되는 폭(T_{10} , T_8)보다 넓게 형성된 트렌치 구조가 형성되는 것이다.

<70> 도 11d를 참조하면, 포토레지스트 패턴(404)을 통상의 제거방법, 예컨대 애싱(ashing) 공정을 사용하여 제거하고, 상기 결과물 전면에서 단차를 따라 베리어막(406)을 형성한다. 베리어막(406)은 금속의 확산을 방지하고, 층간절연막과 도전막 사이의 접착층으로 작용할 수 있는 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 이루어지는 것이 바람직하다. 이어서, 베리어막(406)이 형성된 결과물 전면에서 도전막(408)을 증착한다. 도전막(408)은 구리(Cu) 또는 텅스텐(W)으로 이루어지고, 전기도금법, 화학 기상 증착법, 스퍼터링법 또는 이들을 조합한 방법을 사용하여 증착하는 것이 바람직하다. 예컨대, 도전막(408)을 베리어막(406)이 형성된

결과물 전면에 1차적으로 스퍼터링법을 사용하여 증착하고, 2차적으로 전기도금법을 사용하여 증착할 수 있다.

<71> 이어서, 도전막(408)이 증착된 결과물을 화학 기계적 연마하여 제1, 제2 및 제3 층간절연막(401a, 402a, 403a)의 트렌치 내부에만 도전막(408)이 채워지도록 하여 도 7에 도시된 바와 같은 금속 배선을 형성한다.

<72> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상내에서 당 분야에서 통상의 지식을 가진 자에 의하여 많은 변형이 가능함은 명백하다.

【발명의 효과】

<73> 본 발명에 의한 반도체 소자의 금속 배선 구조 및 반도체 소자의 금속 배선 제조방법에 의하면, 금속 배선이 리프팅되는 현상이 발생하는 것을 방지할 수 있다. 즉, 금속 배선 하부의 폭이 금속 배선 상부의 폭보다 큰 금속 배선 구조를 형성하거나, 금속 배선 중간부의 폭이 금속 배선 상부 및 하부의 폭보다 큰 금속 배선 구조를 형성함으로써, 금속 배선이 후속 열처리와 층간절연막 사이의 스트레스에 의한 리프팅되는 현상이 억제된다. 또한 층간절연막으로 저유전율을 갖는 절연막을 사용함으로써 기생 커패시턴스를 감소시킬 수 있다.

【특허청구범위】**【청구항 1】**

금속 배선 하부의 폭이 금속 배선 상부의 폭보다 큰 것을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 2】

제1항에 있어서, 상기 금속 배선은,

반도체 기판 상에 하부의 폭이 상부의 폭보다 크게 트렌치된 층간절연막의 내부에 단차를 따라 형성된 베리어막; 및

상기 베리어막에 의하여 둘러싸여 있으며, 트렌치된 상기 층간절연막에 매립되어 하부의 폭이 상부의 폭보다 크게 형성된 도전막을 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 3】

제2항에 있어서, 상기 층간절연막은 한 층의 절연막으로 형성되어 있는 막이고, USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 4】

제3항에 있어서, 상기 층간절연막 상부의 높이는 상기 층간절연막의 전체 높이의 20 내지 70%인 것을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 5】

제2항에 있어서, 상기 층간절연막은 두 층의 제1 및 제2 절연막이 순차적으로 형성

되어 있는 막이고, 트렌치된 제1 절연막의 폭이 트렌치된 제2 절연막의 폭보다 크게 형성되어 있는 막임을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 6】

제5항에 있어서, 상기 제2 절연막의 높이는 상기 제1 및 제2 절연막의 전체 높이의 20 내지 70%인 것을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 7】

제5항에 있어서, 상기 제2 절연막은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어지고, 상기 제1 절연막은 상기 제2 절연막보다 식각비가 큰 유동성 산화막 또는 HOSP막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 8】

제2항에 있어서, 상기 배리어막은 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 이루어진 막임을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 9】

제2항에 있어서, 상기 도전막은 Cu 또는 W으로 이루어진 막임을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 10】

금속 배선 중간부의 폭이 금속 배선 하부 및 상부의 폭보다 큰 것을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 11】

제10항에 있어서, 상기 금속 배선은,

반도체 기판 상에 중간부의 폭이 상부 및 하부의 폭보다 크게 트렌치된 층간절연막의 내부에 단차를 따라 형성된 베리어막; 및

상기 베리어막에 의하여 둘러싸여 있으며, 트렌치된 상기 층간절연막에 매립되어 중간부의 폭이 상부 및 하부의 폭보다 크게 형성된 도전막을 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 12】

제11항에 있어서, 상기 층간절연막은 한 층의 절연막으로 형성되어 있는 막이고, USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 13】

제12항에 있어서, 상기 층간절연막의 중간부의 높이는 상기 층간절연막의 전체 높이의 20 내지 50%인 것을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 14】

제11항에 있어서, 상기 층간절연막은 세 층의 제1, 제2 및 제3 절연막이 순차적으로 형성되어 있는 막이고, 트렌치된 중간부의 제2 절연막의 폭이 트렌치된 상부의 제3 절연막 및 트렌치된 하부의 제1 절연막의 폭보다 크게 형성되어 있는 막임을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 15】

제14항에 있어서, 상기 제2 절연막의 높이는 상기 제1, 제2 및 제3 절연막의 전체 높이의 20 내지 50%인 것을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 16】

제14항에 있어서, 상기 제1 및 제3 절연막은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어지고, 상기 제2 절연막은 상기 제1 및 제3 절연막보다 식각비가 큰 유동성 산화막 또는 HOSP막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 17】

제11항에 있어서, 상기 베리어막은 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 이루어진 막임을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 18】

제11항에 있어서, 상기 도전막은 Cu 또는 W으로 이루어진 막임을 특징으로 하는 반도체 소자의 금속 배선.

【청구항 19】

(a) 반도체 기판 상에 층간절연막을 형성하는 단계;

(b) 상기 층간절연막 상에 금속 배선 영역을 정의하는 포토레지스트 패턴을 형성하는 단계;

(c) 상기 포토레지스트 패턴을 마스크로 하여 상기 층간절연막의 일부를 식각하여 얇은 트렌치를 형성하면서, 상기 얇은 트렌치 측벽에 식각에 대한 마스크 역할을 하는 폴리머를 형성하는 단계;

(d) 상기 포토레지스트 패턴 및 상기 제1 트렌치 측벽에 형성된 폴리머를 마스크로 하여 나머지 층간절연막을 식각하여, 식각된 상기 층간절연막 하부의 폭이 식각된 상기 층간절연막 상부의 폭보다 큰 트렌치를 형성하는 단계;

- (e) 상기 포토레지스트 패턴을 제거하는 단계;
- (f) 상기 결과물 전면에 단차를 따라 베리어막을 형성하는 단계;
- (g) 상기 베리어막이 형성된 결과물 전면에 도전막을 증착하는 단계; 및
- (h) 상기 도전막이 증착된 결과물을 화학 기계적 연마하여 상기 층간절연막의 트렌치 내부에만 도전막이 채워지도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 20】

제19항에 있어서, 상기 (c) 단계는 수소를 함유하는 C-F계 가스와 불활성 가스를 사용하여 폴리머를 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 21】

제19항에 있어서, 상기 (d) 단계는 수소를 함유하지 않은 C-F계 가스 및 불활성 가스에 산소 또는 질소 가스를 첨가하여 식각하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 22】

제19항에 있어서, 상기 폴리머가 형성되는 얇은 트렌치의 높이는 상기 층간절연막의 전체 높이의 20 내지 70%인 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 23】

제19항에 있어서, 상기 층간절연막은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막인 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 24】

제19항에 있어서, 상기 베리어막은 금속의 확산을 방지하고, 층간절연막과 도전막 사이의 접촉층으로 작용할 수 있는 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

- 【청구항 25】

제19항에 있어서, 상기 도전막은 Cu 또는 W으로 이루어진 막임을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 26】

반도체 기판 상에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막 상에 상기 제1 층간절연막에 비하여 식각비가 작은 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막 상에 금속 배선 영역을 정의하는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 하여 상기 제2 층간절연막 및 상기 제1 층간절연막을 순차적으로 식각하여, 식각된 상기 제1 층간절연막의 폭이 식각된 제2 층간절연막의 폭보다 큰 트렌치를 형성하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 결과물 전면에서 단차를 따라 베리어막을 형성하는 단계;

상기 베리어막이 형성된 결과물 전면에서 도전막을 증착하는 단계; 및

상기 도전막이 증착된 결과물을 화학 기계적 연마하여 상기 제1 및 제2 층간절연막

의 트렌치 내부에만 도전막이 채워지도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 27】

제26항에 있어서, 상기 제2 층간절연막의 높이는 상기 제1 및 제2 층간절연막의 전체 높이의 20 내지 70%인 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 28】

제26항에 있어서, 상기 제2 층간절연막은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어지고, 상기 제1 층간절연막은 상기 제2 층간절연막에 비하여 식각비가 큰 유동성 산화막 또는 HOSP막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 29】

제26항에 있어서, 상기 베리어막은 금속의 확산을 방지하고, 층간절연막과 도전막 사이의 접착층으로 작용할 수 있는 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 30】

제26항에 있어서, 상기 도전막은 Cu 또는 W으로 이루어진 막임을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 31】

(a) 반도체 기판 상에 층간절연막을 형성하는 단계;

(b) 상기 충전절연막 상에 금속 배선 영역을 정의하는 포토레지스트 패턴을 형성하는 단계;

(c) 상기 포토레지스트 패턴을 마스크로 하여 상기 충전절연막의 상부를 식각하여 제1 트렌치를 형성하면서, 상기 제1 트렌치 측벽에 식각에 대한 마스크 역할을 하는 폴리머를 형성하는 단계;

(d) 상기 포토레지스트 패턴 및 상기 제1 트렌치 측벽에 형성된 폴리머를 마스크로 하여 상기 충전절연막의 중간부를 식각하여, 식각된 상기 충전절연막 중간부의 폭이 식각된 상기 충전절연막 상부의 폭보다 큰 제2 트렌치를 형성하는 단계;

(e) 식각된 상기 충전절연막 중간부의 하단부에 식각에 대한 마스크 역할을 하는 폴리머를 형성하는 단계;

(f) 상기 포토레지스트 패턴 및 상기 충전절연막의 상부와 중간부의 하단부에 형성된 상기 폴리머들을 마스크로 하여 나머지 충전절연막의 하부를 식각하여 식각된 상기 충전절연막 하부의 폭이 식각된 상기 충전절연막 중간부의 폭보다 작은 제3 트렌치를 형성하는 단계;

(g) 상기 포토레지스트 패턴을 제거하는 단계;

(h) 상기 결과물 전면에 단차를 따라 베리어막을 형성하는 단계;

(i) 상기 베리어막이 형성된 결과물 전면에 도전막을 증착하는 단계; 및

(j) 상기 도전막이 증착된 결과물을 화학 기계적 연마하여 상기 충전절연막의 트렌치 내부에만 도전막이 채워지도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 32】

제31항에 있어서, 상기 (c) 및 (e) 단계는 수소를 함유하는 C-F계 가스와 불활성 가스를 사용하여 폴리머를 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조 방법.

【청구항 33】

제31항에 있어서, 상기 (d) 및 (f) 단계는 수소를 함유하지 않은 C-F계 가스 및 불활성 가스에 산소 또는 질소 가스를 첨가하여 식각하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 34】

제31항에 있어서, 상기 층간절연막의 중간부의 높이는 상기 층간절연막의 전체 높이의 20 내지 50%인 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 35】

제31항에 있어서, 상기 층간절연막은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막인 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 36】

제31항에 있어서, 상기 베리어막은 금속의 확산을 방지하고, 층간절연막과 도전막 사이의 접착층으로 작용할 수 있는 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 37】

제31항에 있어서, 상기 도전막은 Cu 또는 W으로 이루어진 막임을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 38】

반도체 기판 상에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막 상에 상기 제1 층간절연막에 비하여 식각비가 큰 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막 상에 상기 제2 층간절연막에 비하여 식각비가 작은 제3 층간절연막을 형성하는 단계;

상기 제3 층간절연막 상에 금속 배선 영역을 정의하는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 하여 상기 제3 층간절연막, 제2 층간절연막 및 제1 층간절연막을 순차적으로 식각하여, 식각된 상기 제2 층간절연막의 폭이 식각된 상기 제1 및 제3 층간절연막의 폭보다 큰 트렌치를 형성하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 결과물 전면에서 단차를 따라 베리어막을 형성하는 단계;

상기 베리어막이 형성된 결과물 전면에서 도전막을 증착하는 단계; 및

상기 도전막이 증착된 결과물을 화학 기계적 연마하여 상기 제1, 제2 및 제3 층간절연막의 트렌치 내부에만 도전막이 채워지도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 39】

제38항에 있어서, 상기 제2 층간절연막의 높이는 상기 제1, 제2 및 제3 층간절연막의 전체 높이의 20 내지 50%인 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 40】

제38항에 있어서, 상기 제1 및 제3 층간절연막은 USG막, SiOF막, TEOS막, SOG막 또는 BPSG막으로 이루어지고, 상기 제2 층간절연막은 상기 제1 및 제3 절연막에 비하여 식각비가 큰 유동성 산화막 또는 HOSP막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 41】

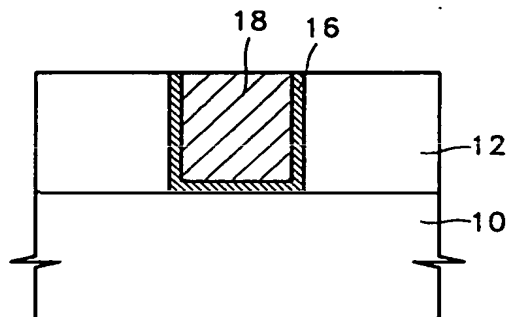
제38항에 있어서, 상기 베리어막은 금속의 확산을 방지하고, 층간절연막과 도전막 사이의 접착층으로 작용할 수 있는 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【청구항 42】

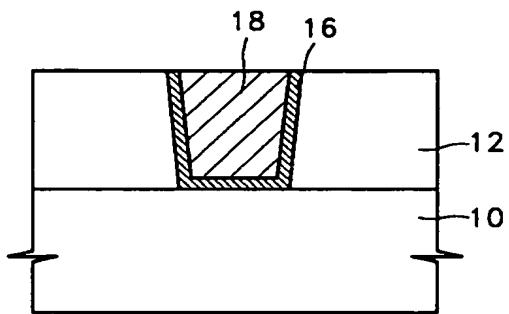
제38항에 있어서, 상기 도전막은 Cu 또는 W으로 이루어진 막임을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

【도면】

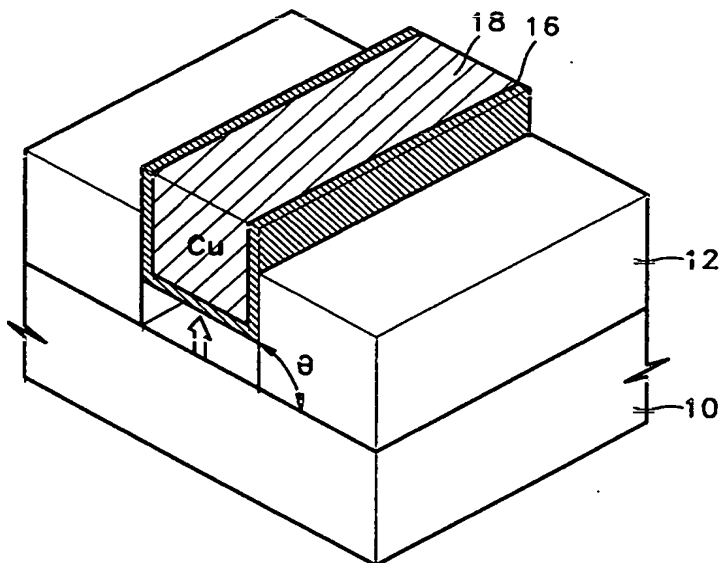
【도 1】



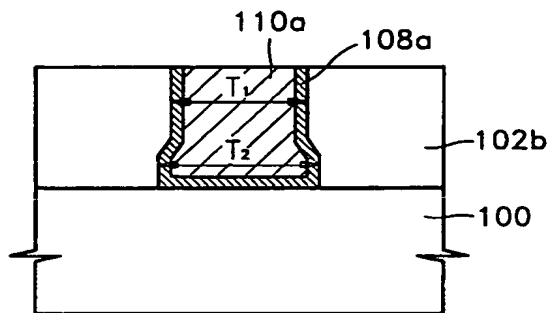
【도 2】



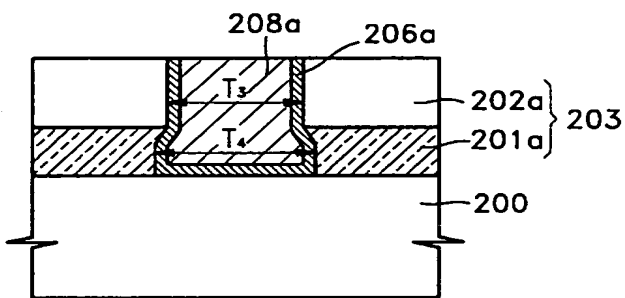
【도 3】



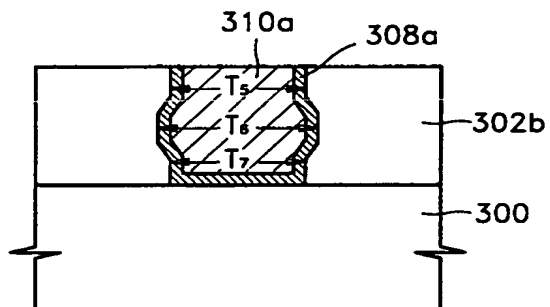
【도 4】



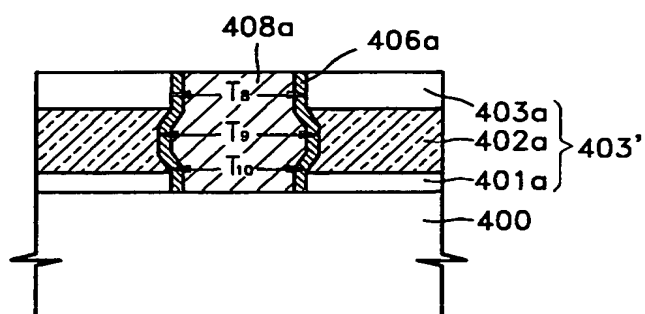
【도 5】



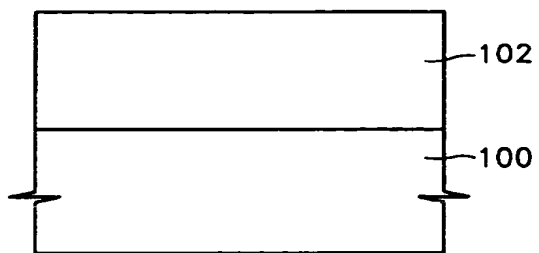
【도 6】



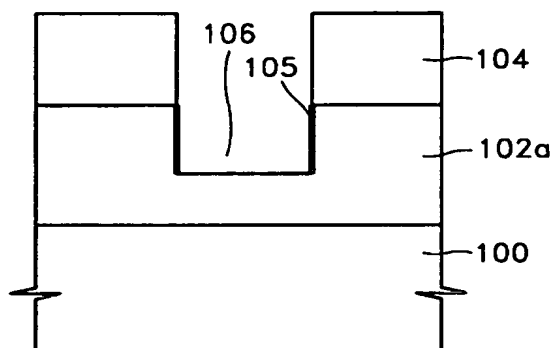
【도 7】



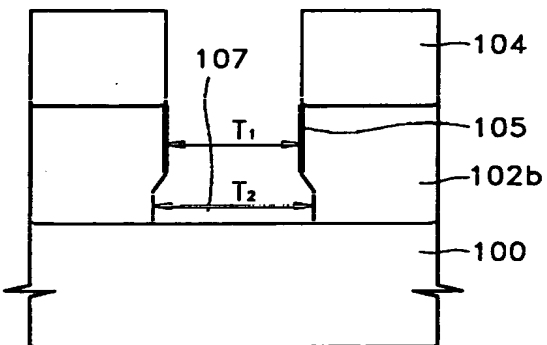
【도 8a】



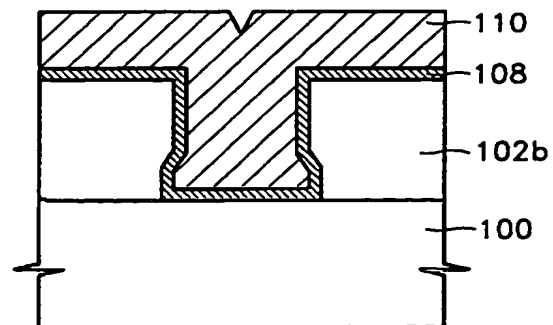
【도 8b】



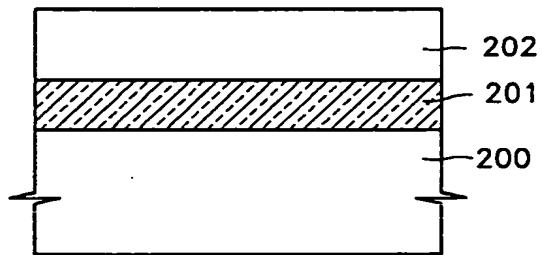
【도 8c】



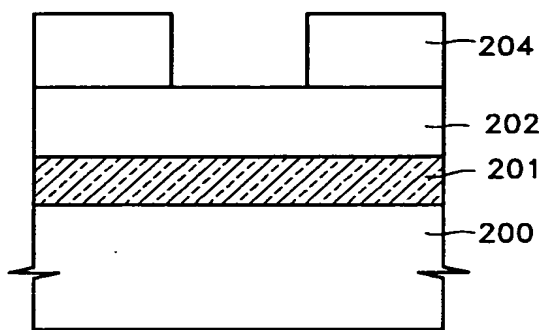
【도 8d】



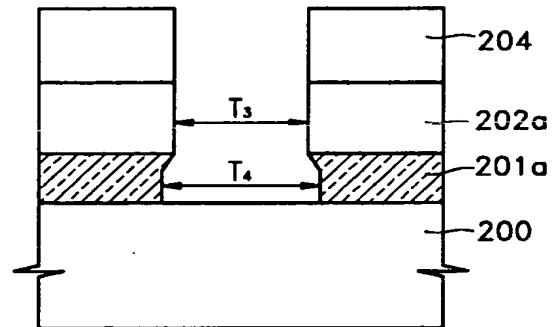
【도 9a】



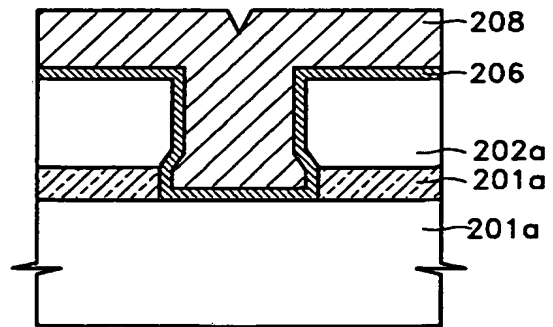
【도 9b】



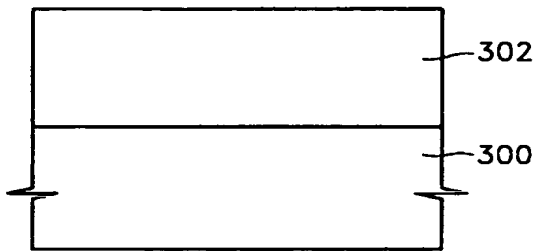
【도 9c】



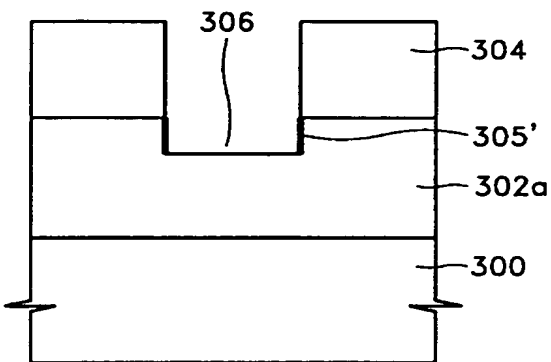
【도 9d】



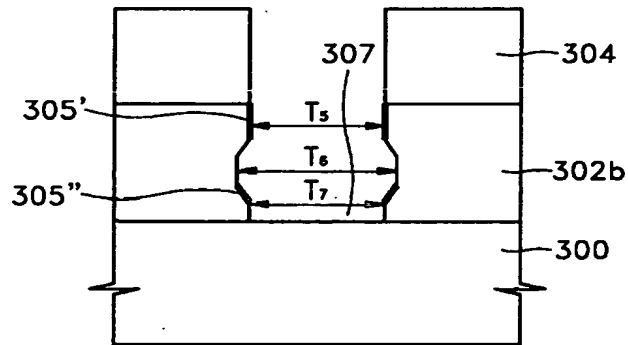
【도 10a】



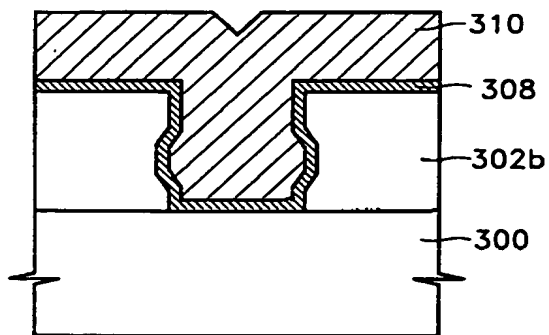
【도 10b】



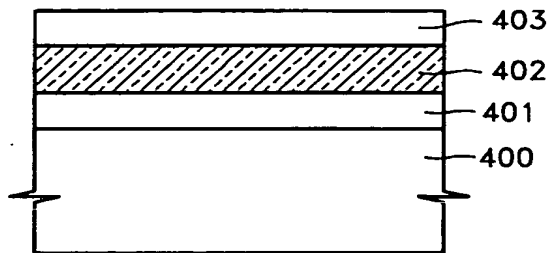
【도 10c】



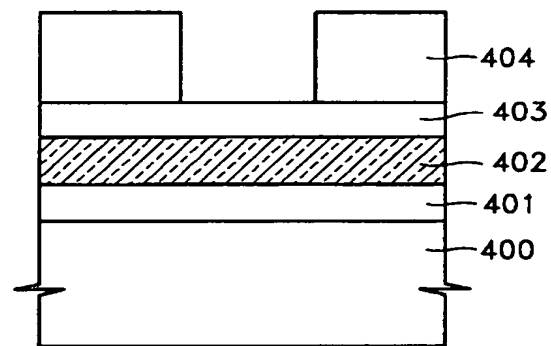
【도 10d】



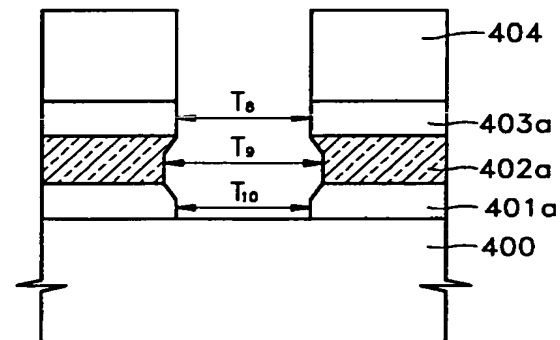
【図 11a】



【図 11b】



【図 11c】



【図 11d】

